

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-007050

(43)Date of publication of application : 14.01.1993

(51)Int.CI.

H01S 3/18

(21)Application number : 03-156592

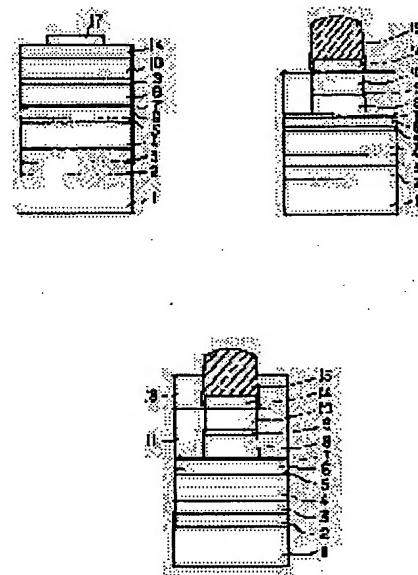
(71)Applicant : SHARP CORP

(22)Date of filing : 27.06.1991

(72)Inventor : TSUNODA ATSUISA
HOSODA MASAHIRO
SUGA YASUO
TAKAHASHI KOUSEI
TANI KENTARO
MATSUI KANEKI**(54) SEMICONDUCTOR LASER DEVICE AND MANUFACTURE THEREOF****(57)Abstract:**

PURPOSE: To fabricate a semiconductor laser device with a plane surface using self-alignment processes by rendering a structure twice grown employing the MBE technique.

CONSTITUTION: Grown over a first-conductive type GaAs substrate 1 employing the MBE technique are, in order from the substrate, a first-conductive type GaAs buffer layer 2, a first-conductive type GaInP buffer layer 3, a first-conductive type AlGaInP first cladding layer 4, a GaInP active layer 5, a second-conductive type AlGaInP second cladding layer 6, a GaInP etching stopper layer 7, a second-conductive type AlGaInP third cladding layer 8, a second-conductive type GaInP interlayer 9, and a second-conductive type GaAs contact layer 10. A first-conductive type GaAs current blockage layer 11 is then grown by means of the MBE technique. A photoresist coated over the entire surface of the structure is then removed by means of the ashing method using O₃-UV, so that the GaAs current blockage layer 11 is only coated with the photoresist 18. This remaining photoresist is then removed by the ashing technique. Thus, a device with a plane surface is fabricated by employing the MBE technique merely twice, and by means of self-alignment processes as well.

**LEGAL STATUS**

[Date of request for examination] 13.01.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2675692



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-7050

(43)公開日 平成5年(1993)1月14日

(51)Int.Cl.⁵
H 0 1 S 3/18

識別記号

府内整理番号
9170-4M

F I

技術表示箇所

審査請求 未請求 請求項の数7(全9頁)

(21)出願番号 特願平3-156592

(22)出願日 平成3年(1991)6月27日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 角田 篤勇

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(72)発明者 細田 昌宏

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(72)発明者 香 康夫

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

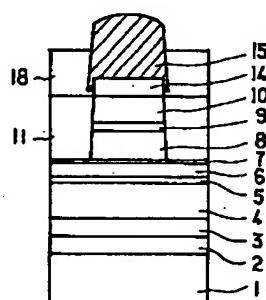
(74)代理人 弁理士 梅田 勝

最終頁に続く

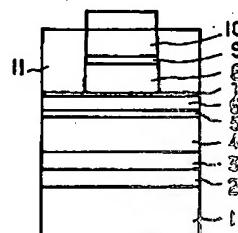
(54)【発明の名称】 半導体レーザ素子及びその製造方法

(57)【要約】

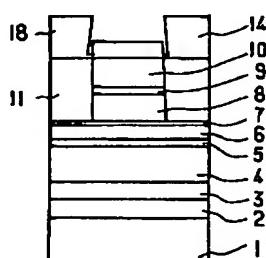
【構成】 Al_2O_3 または SiO_2 上再成長多結晶膜を、レジストのアッシングを用いたセルフアライン工程で選択除去し、表面を平坦化することを特徴とする、MBE 2回成長による屈折率導波構造半導体レーザ素子及びその製造方法。



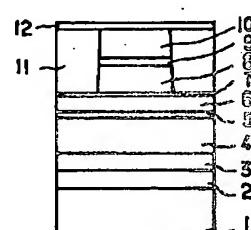
(j)



(l)



(k)



(m)

(2)

I

【特許請求の範囲】

【請求項1】 第1導電型半導体基板上に形成された少なくとも第1導電型クラッド層、活性層及びストライプ状凸部を有した第2導電型クラッド層と第2導電型コンタクト層を有するダブルヘテロ構造と、前記ストライプ状凸部を除く領域に形成された第1導電型電流阻止層を具備してなることを特徴とする半導体レーザ素子。

【請求項2】 n型半導体基板上に形成された少なくともn型クラッド層、活性層及びストライプ状凸部を有したp型クラッド層とp型コンタクト層を有するダブルヘテロ構造と前記ストライプ状凸部を除く領域に形成されたp型コンタクト層を具備してなることを特徴とする半導体レーザ素子。

【請求項3】 上記半導体基板はGaAsであり、クラッド層、活性層はGaAsに格子整合するAlGaInP混晶であることを特徴とする請求項1、または2に記載の半導体レーザ素子。

【請求項4】 第1導電型半導体基板上に、第1導電型クラッド層、活性層、第2導電型クラッド層及び第2導電型コンタクト層を順にMBE（分子線エピタキシー）法を用いて成長をする工程と、上記第2導電型コンタクト層上に酸化膜からなるエッチングマスクを形成する工程と、次いで上記マスクを用いて、上記第2導電型コンタクト層、及び第2導電型クラッド層を途中までエッチングして、該クラッド層にストライプ状の凸部を形成する工程と、次いで上記のように作製した構造にMBE（分子線エピタキシー）法を用いて第1導電型電流阻止層を成長する工程と、次いで表面にレジストを塗布する工程と、上記ストライプ状凸部上のレジストを除去し、レジストマスクを形成する工程と、次いでストライプ凸部の酸化膜マスク上の成長層を、酸化膜マスク上まで選択エッチングする工程と、上記作製したレジストマスクを除去する工程と、次いでストライプ凸部上の酸化膜マスクを除去する工程とを含むことを特徴とする半導体レーザ素子の製造方法。

【請求項5】 n型半導体基板上にn型クラッド層、活性層、p型クラッド層及びp型コンタクト層を順にMBE（分子線エピタキシー）法を用いて成長する工程と、上記p型コンタクト層上に酸化膜からなるエッチングマスクを形成する工程と、次いで上記マスクを用いて、上記p型コンタクト層、及びp型クラッド層を途中までエッチングして該クラッド層にストライプ状の凸部を形成する工程と、次いで上記のように作製した構造にMBE（分子線エピタキシー）法を用いてp型コンタクト層を成長する工程と、次いで表面にレジストを塗布する工程と、上記ストライプ状凸部上のレジストを除去し、レジストマスクを形成する工程と、次いでストライプ凸部の酸化膜マスク上の成長層を、酸化膜マスク上まで選択エッチングする工程と、上記作製したレジストマスクを除去する工程と、次いでストライプ凸部上の酸化膜マ

スクを除去する工程とを含むことを特徴とする半導体レーザ素子の製造方法。

【請求項6】 上記酸化膜エッチングマスクがAl₂O₃、またはSiO₂であることを特徴とする請求項4、または5に記載の半導体レーザ素子の製造方法。

【請求項7】 上記ストライプ凸部上のレジスト除去法がO₃-UVアッシング法またはO₂プラズマアッシング法であることを特徴とする請求項4、または5に記載の半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は屈折率導波構造を有する半導体レーザに係わり、特にMBE（分子線エピタキシー）法による半導体レーザ素子及び、その製造方法に関する。

【0002】

【従来の技術】 近年、光情報処理システム用の光源として使用する半導体レーザ素子で、システムの高機能化を目的として短波長域で発振する半導体レーザ素子が注目されている。GaAs基板に格子整合する(Al_xGa_{1-x})_{0.5}In_{0.5}P結晶(0≤x≤1)は600nm帯波長を有する光を放射する可視光半導体レーザのための材料として有力視されている。

【0003】 AlGaInP結晶をGaAs基板上に成長させる方法としてはMOCVD（有機金属気相成長）法の他に、組成と膜厚制御性、界面急峻性、p型ドーピング効率及び安全性に優れたMBE（分子線エピタキシー）法が期待されている。

【0004】 図7にMBE法で作成された従来の屈折率導波型半導体レーザの構造及び製造方法を示す。図中(f)がその素子構造であり、第1導電型GaAs基板1上に第1導電型GaAsバッファ層2、第1導電型GaInPバッファ層3、第1導電型AlGaInPクラッド層4、GaInP活性層5、第2導電型AlGaInPクラッド層6、第2導電型GaInP中間層9、第2導電型GaAsコンタクト層10がこの順に基板1側から積層されており、AlGaInPクラッド層6、GaInP中間層9、及びGaAsコンタクト層10にはストライプ状のメサが形成されている。該ストライプ状のメサを埋め込むようにして第1導電型GaAs電流阻止層11が形成されている。GaAsコンタクト層10及びGaAs電流阻止層11上と基板1の裏面の各々には電極12、13が形成されている。

【0005】 製造工程はまず第1導電型GaAs基板1上に、第1導電型GaAsバッファ層2、第1導電型GaInPバッファ層3、第1導電型AlGaInP第1クラッド層4、GaInP活性層5、第2導電型AlGaInP第2クラッド層6、第2導電型GaInP中間層9、第2導電型GaAsコンタクト層10が図7

(a)のように基板1側からMBE法により成長され

(3)

3

る。次に、図7 (b) のようにG a A s コンタクト層10上にレジストパターンを形成し、それをマスクとして図7 (c) のようにG a A s コンタクト層10、G a I n P 中間層9及びA 1 G a I n P クラッド層6の途中までをエッチングする。次にレジスト膜17を除去し図7 (d) のように第1導電型G a A s 電流阻止層11をM B E法により成長する。この時G a A s コンタクト層10上にも結晶が成長するためにマスク合わせを用いたフォトリソグラフィーにより図7 (e) のようにG a A s コンタクト層10上の不要層を取り除き、図7 (f) のように上面及び基板1の裏面に電極12、13を形成することにより屈折率導波型の半導体レーザが得られる。

【0006】ところでMOCVD法では図7 (d) のG a A s 電流阻止層11を成長する際には一般に選択成長が可能であり図8 (a) ~ (d) に示す製造工程のようにリッジストライプ上にS i O₂等の誘電体膜16を形成しておけばG a A s 電流阻止層11成長時に、S i O₂膜16上に結晶は成長しないためにセルフアラインプロセスで行うことができる。

【0007】ところがMBE法ではA 1 G a I n P系材料上へのG a A s 選択成長は困難であり、誘電体膜上には多結晶が積層される。そして特に誘電体膜としてS i 3N₄を用いた場合は多結晶と共に針状結晶が同時に成長し、G a A s 電流阻止層11の成長に支障をきたす。したがって、MBE法を使用する場合は、一般に、図7 (a) ~ (f) に示すような工程が用いられてきた。

【0008】

【発明が解決しようとする課題】上述したようにMBE法を用いて図7 (f) のような屈折率導波構造を作製する場合、マスク合わせを用いたフォトリソグラフィーを用いる必要がある。したがってそれを行うには相応の熟練を要し、またリッジ型のG a A s コンタクト層10上に成長する不要な結晶は表面が平坦でないため、不要層をエッチング除去した後の形状も平坦でない。したがって電極形成に支障をきたす、あるいはマウント時のマウント台との密着が悪いため熱放散が悪くまた接触抵抗が増大するといった問題が発生するために素子特性が悪く、また駆動電圧の素子間変動も大きく、突発的な劣化が生じる場合があり、信頼性に乏しかった。

【0009】またMOCVD法においても、図8 (a) ~ (d) に示すような選択成長を用いたセルフアラインプロセスが可能であり、リッジ型のG a A s コンタクト層10上は平坦となるが、リッジ型G a A s コンタクト層10の両サイド付近のG a A s 電流素子層11は盛り上がるため平坦とならず、上記と同様の問題があった。したがってMOCVD法では一般に3回成長、すなわち図9のようにG a A s コンタクト層10及びG a A s 電流阻止層11上に第2導電型G a A s 第2コンタクト層519を厚く成長させることにより平坦化を行っている。しかしこの場合G a A s 第2コンタクト層が厚いた

4

めに熱放散が悪くなるという問題や、3回成長のため成長装置の稼働効率が低下するという問題があった。

【0010】本発明は上記事情を考慮してなされたもので、目的とするところは、MBE法2回成長及びセルフアラインプロセスを用いた表面が平坦な半導体レーザ素子及びその製造方法を提供し、良好な電極及び良好なマウントを可能にすることにより、熱放散を良好にし、接触抵抗を低減させ、素子特性及び信頼性を向上させることにある。

【0011】

【課題を解決するための手段】まず本発明の第一の骨子を説明する。図8 (a) に示したMOCVD法の選択成長に利用する誘電体膜16をMBE法の場合も作成し、図8 (b) のように電流阻止層11を成長させる。この場合誘電体膜16上へは多結晶15がリッジ状に成長する。以下にそれをセルフアラインプロセスで除去する方法を説明する。まず、スピナー等により表面にレジストを塗布する。この時多結晶15以外の部分にはレジストは塗布されるが、リッジ状の多結晶15上にはレジストはほとんど塗布されない。したがって次にO₃-UVアッシングまたはO₂プラズマアッシングを行えば、多結晶15上にわずかに残るレジストを除去して、レジストマスクを作成することができる。したがって多結晶のみのエッチング除去が可能である。この時誘電体膜16はエッチストップ層としても働く。最後にこの誘電体膜16はエッチングにより除去することにより、MBE法2回成長で、しかもセルフアラインプロセスで表面が平坦な半導体レーザ素子が得られる。

【0012】次に本発明の第2の骨子を説明する。上記で使用する誘電体膜16は窒化物であるS i₃N₄ではなく酸化膜であるA 1₂O₃及びS i O₂であるということである。

【0013】なぜならばMBE法を用いた場合窒化物であるS i₃N₄上へは多結晶の他に針状結晶が成長し、G a A s 電流阻止層11の成長に支障をきたすためである。

【0014】

【作用】本発明によれば、組成と膜厚制御性、界面急峻性、p型ドーピング効率及び安全性に優れたMBE法を用いて2回成長で表面が平坦な半導体レーザ素子をセルフアラインプロセスで作成することが可能となる。

【0015】そして上記要領で作製した半導体レーザ素子は2回成長であるため熱放散に優れ、また表面が平坦であるために良好な電極が作成可能であり、更にマウント時のマウント台との密着もよいためより熱放散が良好となり、接触抵抗も低減できるため素子特性及び信頼性の向上に有効である。

【0016】

【実施例】以下に本発明の実施例について説明するが、本発明はこれに限定されるものではない。

(4)

5

【0017】<実施例1>図1(a)～(d)、図2(e)～(i)、及び図3(j)～(m)は、本発明の実施例1の半導体レーザ素子の製造方法を示す要部断面図である。本実施例の方法により作製される半導体レーザ素子に於いては、図3(m)に示すように、第1導電型GaN基板1上に、第1導電型GaNバッファ層2、第1導電型GaNPバッファ層3、第1導電型AlGaInP第1クラッド層4、GaN活性層5、第2導電型AlGaInP第2クラッド層6、GaNPエッチングストップ層7、第2導電型AlGaInP第3クラッド層8、第2導電型GaN中間層9、及び第2導電型GaNコンタクト層10が、この順番で基板1側から積層されている。AlGaInP第3クラッド層8、GaN中間層9、及びGaNコンタクト層10にはストライプ状のメサ(幅4μm)が形成されている。

【0018】該ストライプ状のメサを埋め込むようにして第1導電型GaN電流阻止層11が形成されている。GaNコンタクト層10及びGaN電流阻止層11上と基板1の裏面の各々には電極12、13が形成されている。

【0019】次に、図1(a)～(d)、図2(e)～(i)、図3(j)～(m)を参照しながら、上記半導体レーザ素子の製造方法を説明する。まず、図1(a)に示すように、第1導電型GaN基板1上に第1導電型GaNバッファ層2(0.5μm)、第1導電型GaNPバッファ層3(0.5μm)、第1導電型AlGaInP第1クラッド層4(1μm)、GaN活性層5(0.08μm)、第2導電型AlGaInP第2クラッド層6(0.3μm)、GaNPエッチングストップ層7(80Å)、第2導電型AlGaInP第3クラッド層8(0.5μm)、第2導電型GaN中間層9(0.05μm)、及び第2導電型GaNコンタクト層10(0.5μm)をこの順番で基板1側から、MBE法により成長させる。

【0020】次いで、GaNコンタクト層10上に電子ビーム蒸着法でAl₂O₃膜14を3000Å～6000Åの膜厚で蒸着する。この時基板温度は300℃～350℃の範囲となるようにする。そしてAl₂O₃膜14の上に幅4μmのストライプ状のレジストパターン17を形成する。

【0021】この後、図1(b)に示すように熱リソグラフィーによりAl₂O₃膜14をストライプ状にエッチングし、次いで図1(c)に示すようにアッシャーによりレジストパターン17を除去する。そして図1(d)に示すようにAl₂O₃膜をマスクとして、アンモニア系または硫酸系のGaN選択エッチャントを用いてGaNコンタクト層10をストライプ状にエッチングする。更に図2(e)に示すように塩酸系または臭素系エッチャントを用いてGaN中間層9及びAlGaInP第3クラ

6

ラッド層8の途中までをストライプ状にエッチングする。そして次に図2(f)に示すように、フッ酸系エッチャントを用いてAl₂O₃膜14をエッチングし、GaNコンタクト層10そしてGaN中間層9及びAlGaInP第3クラッド層8の途中までをエッチングした際に生じたAl₂O₃膜14のひさしを除去する。

【0022】その後、硫酸系あるいはリン酸系のAlGaInP選択エッチャントを用いて図2(g)に示すようにAlGaInP第3クラッド層8をストライプ状にエッチングしGaNエッチングストップ層7が露出するまで行う。次いで、MBE法により図2(h)に示すように第1導電型GaN電流阻止層11(1.05μm)を成長する。この時、成長前には充分な量のAs分子線を照射しながら、基板温度を500～580℃の範囲に上昇させ約5分間待機してGaN表面を清浄化する。その結果、Al₂O₃膜14の上にはGaN多結晶15が成長する。そして次にレジスト18をスピナーにより塗布する。この場合図2(i)に示すようにGaN電流阻止層11上にはレジストが塗布されるがGaN多結晶ストライプ15上にはレジストはほとんど塗布されない。この後、表面全体のレジストをO₃-UVでアッショングして、図3(j)に示すようにGaN電流阻止層11のみレジスト18が塗布されている状態にする。そして次に図3(k)に示すように硫酸系のエッチャントによりGaN多結晶15を除去する。この時Al₂O₃膜14はエッチングストップ層として作用する。その後、図3(l)に示すようにアッシャーを用いてレジスト18をすべて除去する。そしてその後、HF系エッチャントによりAl₂O₃膜14を除去する。

【0023】最後に、このようにして形成した積層構造の上面及び基板1の裏面に、電極12、13を形成することにより、図3(m)に示すような屈折率導波型の半導体レーザ素子が得られる。

【0024】以上製造工程によれば、MBE法2回成長で、しかもセルフアラインプロセスにより、表面が平坦な半導体レーザ素子が得られる。そして本素子は2回成長するために熱放散に優れ、また表面が平坦であるために良好な電極が作成でき、マウント時のマウント台との密着も良好で、熱放散がより良好となり接触抵抗も低減できた効果により、閾値電流4.5mA、微分量子効率片面当たり60%、単一横モードで光出力20mWまで直線的に増大し、良好な電流-光出力特性を示した。また更に駆動電圧の素子間変動も減少し、信頼性が向上した。

【0025】<実施例2>図4(a)～(d)、図5(e)～(i)、及び図6(j)～(m)は、本発明の第2の実施例の半導体レーザ素子の製造方法を示す断面図である。図6(m)の本実施例で作製される半導体レーザ素子は第1の実施例と同じく屈折率導波型の半導体レーザ素子であるが、電流阻止の方法として、AlGa

(5)

7

InPとGaAsの価電子帯障壁を利用するものである。通常、上記構造の作製は2回成長で行われるが、表面を平坦化するためには再成長層を厚く積む必要があり、熱放散が悪くなる、あるいは成長時間が長くなるといった問題があった。しかし本実施例を用いると、同じく2回成長で再成長層を薄くして表面を平坦化することができる。

【0026】図4(a)～(d)、図5(e)～(i)、及び図6(j)～(m)を参照しながら、上記半導体レーザ素子の製造方法を説明する。この図4、図5、及び図6は第1導電型をn型、第2導電型をp型とすること、及び第1導電型GaAs電流阻止層11をp型GaAs第2コンタクト層211とすること以外は上記実施例1に示した図1、図2、及び図3の工程と同一である。ただしGaInPエッチングストップ層7は80Åと薄いためAlGaInPとGaAsの価電子帯障壁に影響を及ぼすものではない。そして本実施例で作成した素子は、閾値電流50mA、微分量子効率片面当たり50%、単一横モードで光出力10mWまで直線的に増大し、良好な電流ー光出力特性を示した。また実施例1と同様に駆動電圧の素子間変動も減少し、信頼性が向上した。

【0027】尚、上記実施例1及び実施例2の半導体レーザ素子においてダブルヘテロ構造はクラッド層をAlGaInP層、活性層をGaInPからなるものとしたが、他の組成のAlGaInP系半導体層からなる構造であってもよい。例えば、クラッド層をAlInP三元混晶からなるものを用いてもよい。また、活性層としてAlGaInP四元混晶からなる層を用いてもよい。また、活性層として量子井戸構造や超格子構造を有する層を用いてもよい。またクラッド層と活性層の間にガイド層を設けることによりSCH構造としてもよい。

【0028】

【発明の効果】以上のように本発明によれば、組成と膜厚の制御性、界面の急峻性、p型ドーピング効率、安全性に優れたMBE法を用いて2回成長で、しかもセルフアラインプロセスにより、表面が平坦な半導体レーザの素子が得られる。そして上記要領で作製した素子は2回成長であるために熱放散に優れ、また表面が平坦であるために良好な電極が作成でき、マウント時のマウント台との密着も良好で熱放散がより良好となり接触抵抗も低減するために、素子特性及び信頼性を向上できる。

【図面の簡単な説明】

(5)

8

【図1】本発明の実施例1のプロセスを示す要部断面図である。

【図2】図1に続く本発明の実施例1のプロセスを示す要部断面図である。

【図3】図2に続く本発明の実施例1のプロセスを示す要部断面図である。

【図4】本発明の実施例2のプロセスを示す要部断面図である。

【図5】図4に続く本発明の実施例2のプロセスを示す要部断面図である。

【図6】図5に示す本発明の実施例2のプロセスを示す要部断面図である。

【図7】従来例を示す要部断面図である。

【図8】従来例を示す要部断面図である。

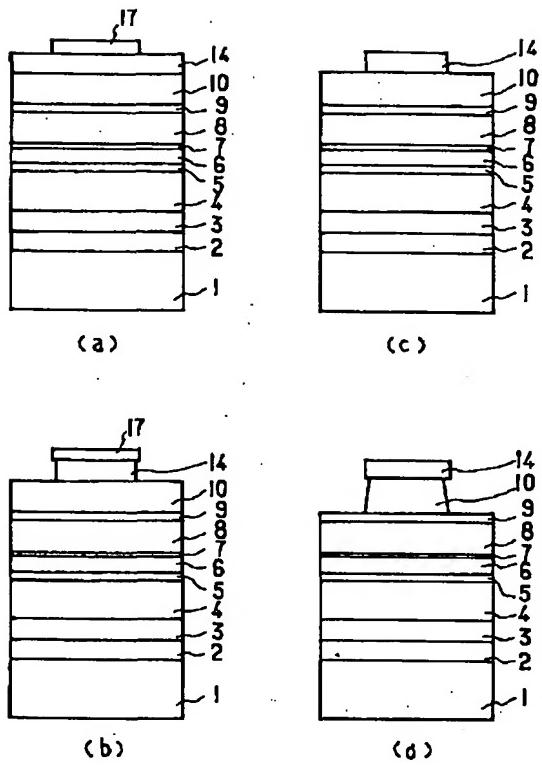
【図9】従来例を示す要部断面図である。

【符号の説明】

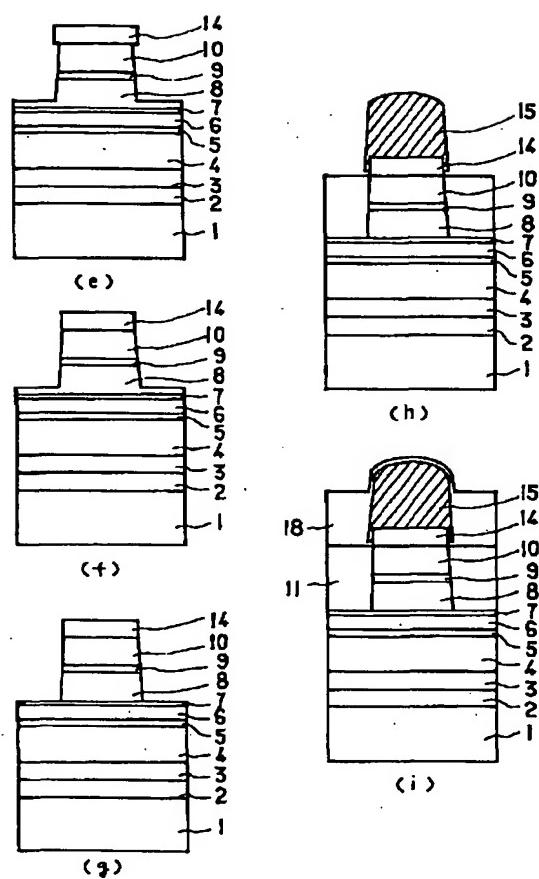
- 1 第1導電型GaAs基板
- 2 第1導電型GaAsバッファ層
- 3 第1導電型GaInPバッファ層
- 4 第1導電型AlGaInP第1クラッド層
- 5 GaInP活性層
- 6 第2導電型AlGaInP第2クラッド層
- 7 GaInPエッチングストップ層
- 8 第2導電型AlGaInP第3クラッド層
- 9 第2導電型GaInP中間層
- 10 第2導電型GaAsコンタクト層
- 11 第1導電型GaAs電流阻止層
- 12, 13 電極
- 14 酸化膜
- 15 GaAs多結晶
- 16 誘電体膜
- 17, 18 レジスト膜
- 21 n型GaAs基板
- 22 n型GaAsバッファ層
- 23 n型GaInPバッファ層
- 24 n型AlGaInP第1クラッド層
- 26 p型AlGaInP第2クラッド層
- 28 p型AlGaInP第3クラッド層
- 29 p型GaInP中間層
- 210 p型GaAsコンタクト層
- 211 p型GaAs第2コンタクト層
- 519 第2導電型GaAs第2コンタクト層

(6)

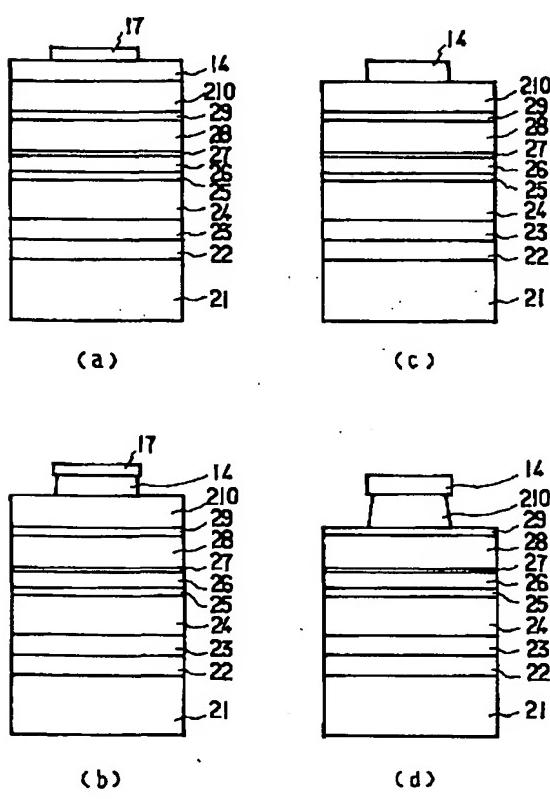
【図1】



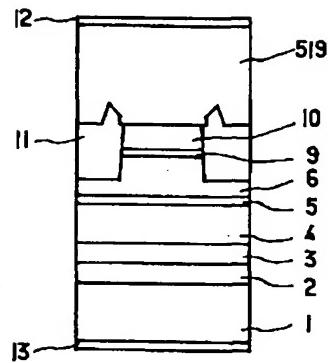
【図2】



【図4】

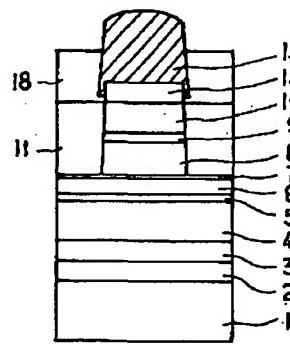


【図9】

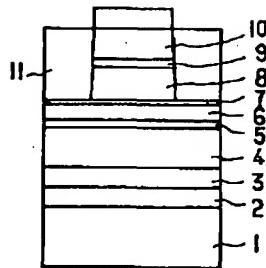


(7)

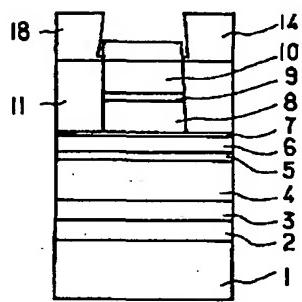
【図3】



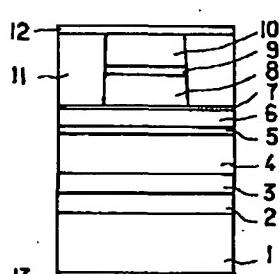
(j)



(l)

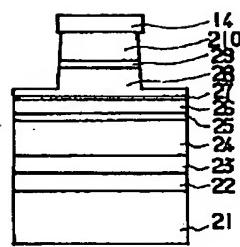


(k)

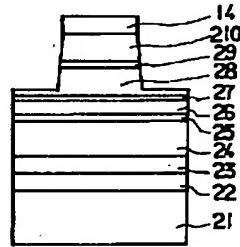


(m)

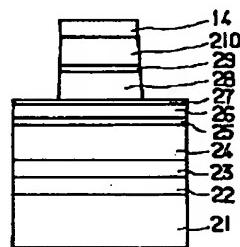
【図5】



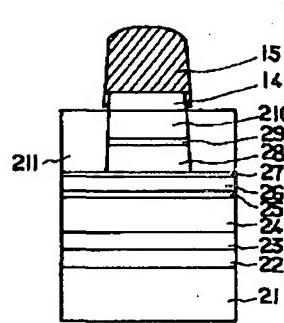
(e)



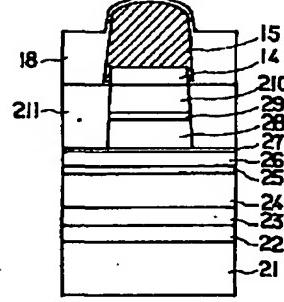
(f)



(g)



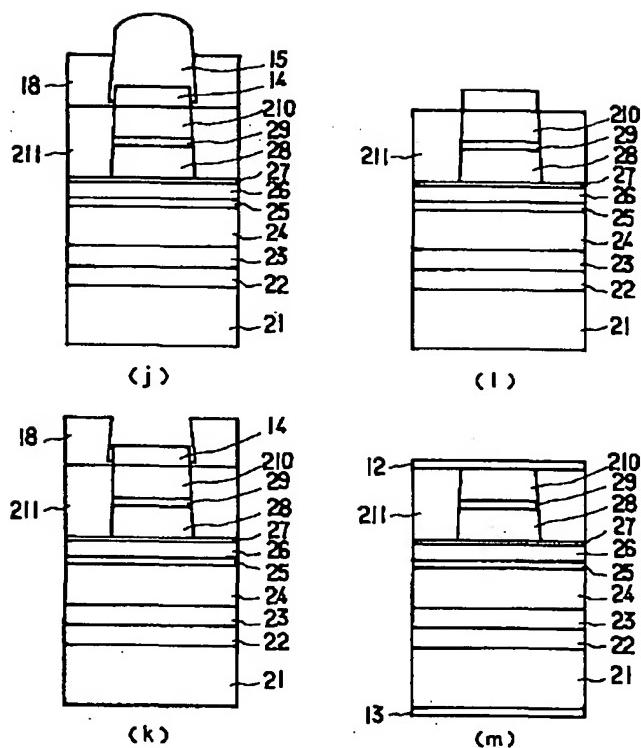
(h)



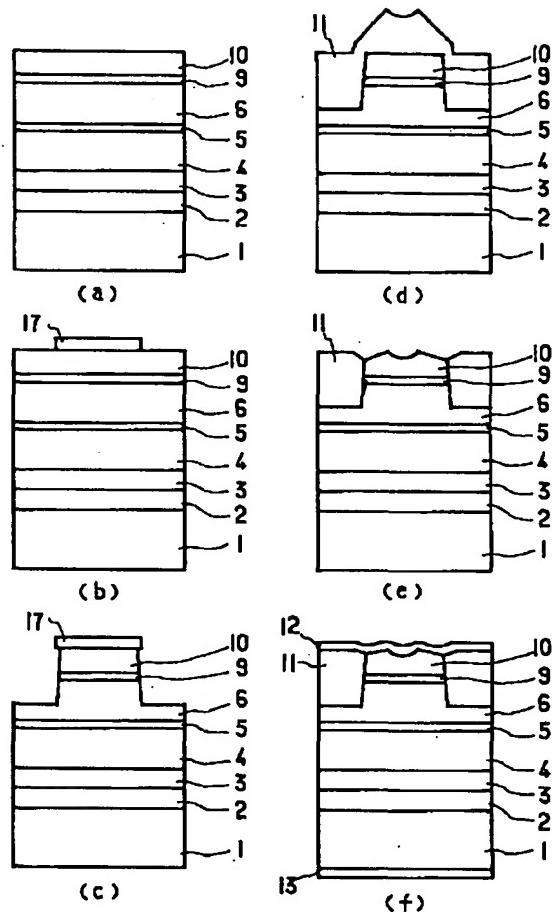
(i)

(8)

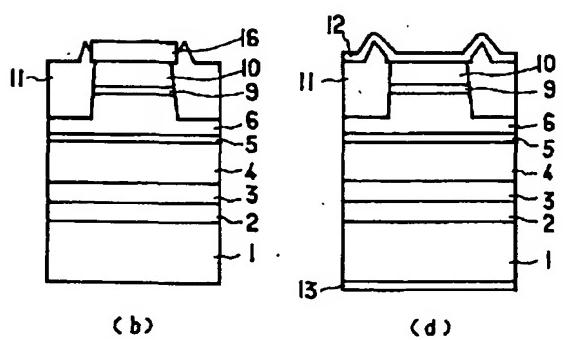
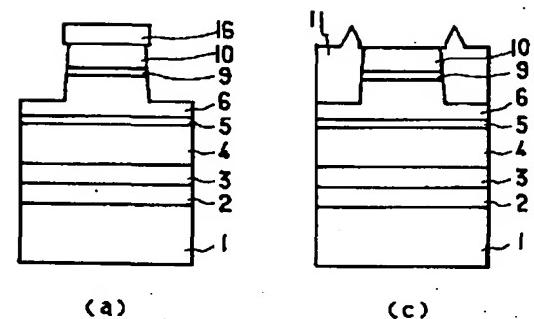
【図6】



【図7】



【図8】



(9)

フロントページの続き

(72) 発明者 高橋 向星
大阪市阿倍野区長池町22番22号 シヤープ
株式会社内

(72) 発明者 谷 健太郎
大阪市阿倍野区長池町22番22号 シヤープ
株式会社内

(72) 発明者 松井 完益
大阪市阿倍野区長池町22番22号 シヤープ
株式会社内

